



(43) 国際公開日
2005 年 11 月 17 日 (17.11.2005)

PCT

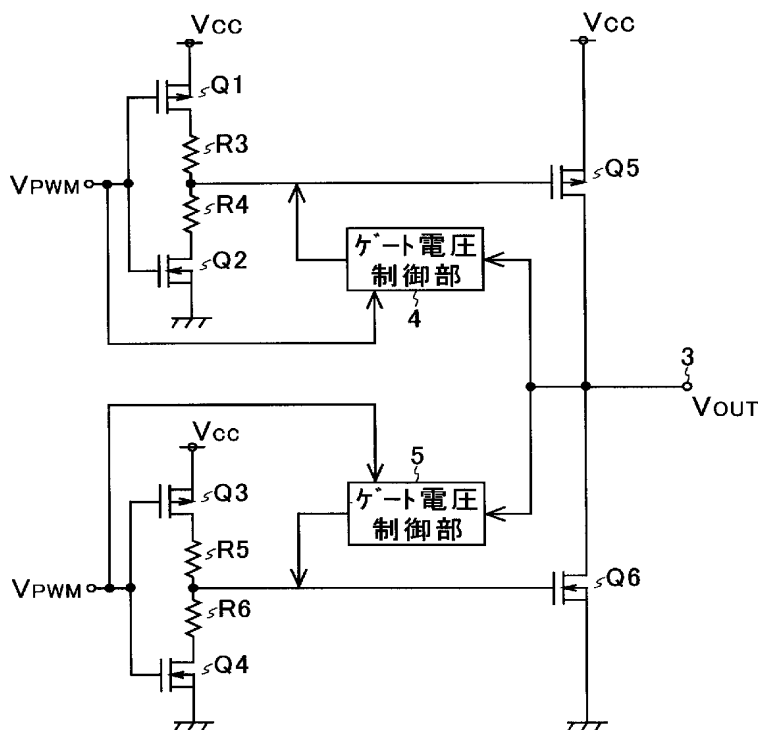
(10) 国際公開番号
WO 2005/109616 A1

- | | | |
|--|------------------------------|---|
| (51) 国際特許分類 ⁷ :
H03K 17/06, 17/16, 17/687 | H02M 1/08, | (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山本 精一 (YAMAMOTO, Seichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). |
| (21) 国際出願番号: | PCT/JP2005/005825 | |
| (22) 国際出願日: | 2005 年 3 月 29 日 (29.03.2005) | (74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪市中央区天満橋京町 2 - 6 天満橋八千代ビル別館 Osaka (JP). |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | |
| (30) 優先権データ:
特願2004-140568 2004 年 5 月 11 日 (11.05.2004) JP | | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA. |
| (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP). | | |

[続葉有]

(54) Title: PWM DRIVER CIRCUIT

(54) 発明の名称: PWM駆動回路



4 GATE VOLTAGE CONTROL PART
5 GATE VOLTAGE CONTROL PART

(57) Abstract: A PWM driver circuit comprises a load driving power MOS transistor (Q5(Q6)); a CR circuit comprising a resistor (R3(R5)) or a resistor (R4(R6)) and the capacitance of the MOS transistor (Q5(Q6)) and reducing and supplying the voltage through-rate based on the PWM voltage to the gate of the MOS transistor (Q5(Q6)); and a gate voltage control part (4(5)) that, when detecting the completion of a switching from OFF to ON of the MOS transistor (Q5(Q6)) during a gate voltage transient interval when the gate voltage of the MOS transistor (Q5(Q6)) varies, causes the CR circuit to stop its operation to reduce (or increase) the gate potential of the MOS transistor (Q5(Q6)) to a predetermined value. In this way, the switching noise and switching loss can be reduced.

(57) 要約: 本発明のPWM駆動回路は、負荷駆動用パワーMOSトランジスタQ5 (Q6) と、抵抗R3 (R5) またはR4 (R6) とMOSトランジスタQ5 (Q6) の容量とから成り、PWM電圧に基づく電圧のスルーレートを下げてMOSトランジスタQ5 (Q6) のゲートに供給するCR回路と、MOSトランジスタQ5 (Q6) のゲート電圧が変動するゲート電圧過渡期間において、MOSトランジスタQ5 (Q6) のオフからオンへの切り替えりが完了したことを検知すると、前記CR回路の

動作を停止させMOSトランジスタQ5（Q6）のゲート電位を所定値に引き下げる（引き上げる）ゲート電圧制御部4（5）と、を備える。これにより、スイッチングノイズ及びスイッチング損失を小さくすることができる。



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

PWM駆動回路

技術分野

- [0001] 本発明は、PWM駆動回路に関し、特にスイッチングノイズを低減することができるPWM駆動回路に関する。

背景技術

- [0002] PWM駆動回路では、スイッチングノイズを低減するためにスルーレートコントロールが行われることが一般的である(例えば、特許文献1の第0007段落参照)。スルーレートコントロールとは、負荷駆動用パワーMOSトランジスタのゲート電圧の立ち上げ或いは立ち下げをゆるやかにすることにより、スイッチングノイズの低減を図るものである。
- [0003] ここで、スルーレートコントロールが行われる従来のPWM駆動回路の一構成例を図5に示す。図5のPWM駆動回路は、Pチャネル型MOSトランジスタ(以下、PMOSトランジスタという)Q1、Q3及びQ5と、Nチャネル型MOSトランジスタ(以下、NMOSトランジスタという)Q2、Q4及びQ6と、抵抗R1及びR2と、出力端子3とを備えている。
- [0004] PMOSトランジスタQ1及びNMOSトランジスタQ2から成るインバータ回路1の出力端が抵抗R1を介してPMOSトランジスタQ5のゲートに接続され、PMOSトランジスタQ3及びNMOSトランジスタQ4から成るインバータ回路2の出力端が抵抗R2を介してNMOSトランジスタQ6のゲートに接続される。また、PMOSトランジスタQ5のソースに定電圧 V_{cc} が印加され、NMOSトランジスタQ6のソースが接地される。さらに、PMOSトランジスタQ5のドレインとNMOSトランジスタQ6のドレインが出力端子3に共通接続される。
- [0005] インバータ回路1は入力したPWM電圧 V_{PWM} を反転して出力する。インバータ回路1の出力は抵抗R1及びPMOSトランジスタQ5の容量(ゲートーソース間容量やゲートーバックゲート間容量等)から成るCR回路を経由してPMOSトランジスタQ5のゲートに供給されるため、PMOSトランジスタQ5のゲート電圧の立ち上がり或いは立ち下

がりがゆるやかになる。

- [0006] インバータ回路2は入力したPWM電圧 V_{PWM} を反転して出力する。インバータ回路2の出力は抵抗R2及びNMOSTランジスタQ6の容量(ゲートソース間容量やゲートバックゲート間容量等)から成るCR回路を経由してNMOSTランジスタQ6のゲートに供給されるため、NMOSTランジスタQ6のゲート電圧の立ち上がり或いは立ち下がりがゆるやかになる。
- [0007] このように負荷駆動用パワーMOSTランジスタであるPMOSTランジスタQ5及びNMOSTランジスタQ6のゲート電圧の立ち上げ或いは立ち下げがゆるやかであるため、スイッチングノイズを低減することができる。
- [0008] そして、図5のPWM駆動回路では、PWM電圧 V_{PWM} がHighレベルのときにPMOSTランジスタQ5がオンになりNMOSTランジスタQ6がオフになるので出力端子3から出力される出力電圧 V_{OUT} の値がほぼ V_{CC} になり、PWM電圧 V_{PWM} がLowレベルのときにPMOSTランジスタQ5がオフになりNMOSTランジスタQ6がオンになるので出力端子3から出力される出力電圧 V_{OUT} の値がほぼ零になる。
- [0009] 続いて、スルーレートコントロールが行われる従来のPWM駆動回路の他の構成例を図6に示す。なお、図6において図5と同一の部分には同一の符号を付し詳細な説明を省略する。
- [0010] 図6のPWM駆動回路は、図5のPWM駆動回路から抵抗R1を取り除き、その代わりに抵抗R3及びR4の直列回路をPMOSTランジスタQ1のドレインとNMOSTランジスタQ2のドレインとの間に設け、抵抗R3と抵抗R4の接続ノードにPMOSTランジスタQ5のゲートを接続し、さらに抵抗R2を取り除き、その代わりに抵抗R5及びR6の直列回路をPMOSTランジスタQ3のドレインとNMOSTランジスタQ4のドレインとの間に設け、抵抗R5と抵抗R6の接続ノードにNMOSTランジスタQ6のゲートを接続した構成である。
- [0011] 図6のPWM駆動回路は、抵抗R3或いは抵抗R4とPMOSTランジスタQ5の容量(ゲートソース間容量やゲートバックゲート間容量等)とから成るCR回路によって負荷駆動用パワーMOSTランジスタであるPMOSTランジスタQ5のゲート電圧の立ち上げ或いは立ち下げがゆるやかになり、抵抗R5或いは抵抗R6とNMOSTランジ

スタQ6の容量(ゲートソース間容量やゲートバックゲート間容量等)とから成るCR回路によって負荷駆動用パワーMOSトランジスタであるNMOSトランジスタQ6のゲート電圧の立ち上げ或いは立ち下げがゆるやかになるので、図5のPWM駆動回路と同様にスイッチングノイズを低減することができる。

特許文献1:特開2001-204187号公報

発明の開示

発明が解決しようとする課題

- [0012] ここで、図5や図6に示す従来のPWM駆動回路においてPWM電圧 V_{PWM} がHighレベルからLowレベルに切り替わるときのPWM電圧 V_{PWM} 、PMOSトランジスタQ5のゲート電圧 V_{GP} 、NMOSトランジスタQ6のゲート電圧 V_{GN} 及び出力電圧 V_{OUT} のタイムチャートを図7Aに示す。なお、PMOSトランジスタQ5のゲート電圧 V_{GP} 、NMOSトランジスタQ6のゲート電圧 V_{GN} 、及び出力電圧 V_{OUT} については、出力端子3から負荷へ電流が流出する場合(電流ソース時)と出力端子3へ電流が流入する場合(電流シンク時)のそれぞれの波形を示している。
- [0013] PWM電圧 V_{PWM} がHighレベルからLowレベルに反転した時点(t1)からNMOSトランジスタQ6のゲート電圧 V_{GN} はCR回路の時定数にしたがってゆるやかに上昇する。そして、NMOSトランジスタQ6のゲート電圧 V_{GN} が閾値 V_{THN} に達した時点(t2)で、NMOSトランジスタQ6はオフからオンに切り替わる。
- [0014] NMOSトランジスタQ6がオフからオンに切り替わった後も、NMOSトランジスタQ6のゲート電圧 V_{GN} は所定値($\simeq V_{\text{CC}}$)に達する時点(t3)までCR回路の時定数にしたがってゆるやかに上昇し続ける。このため、t2時点からt3時点までの期間NMOSトランジスタQ6は十分に低いオン抵抗を得ることができなかった。
- [0015] また、PWM電圧 V_{PWM} がLowレベルからHighレベルに切り替わるときは、PMOSトランジスタQ5が十分に低いオン抵抗を得ることができない期間がある(図7B参照)。
- [0016] 図5や図6に示す従来のPWM駆動回路は、スルーレートコントロールによりスイッチングノイズが低減するものの、負荷駆動用パワーMOSトランジスタがオフからオンに切り替わってからゲート電圧が完全に反転するまでの期間十分に低いオン抵抗を得ることができないためにスイッチング損失が増大するという問題があった。かかる間

題は、PWM駆動回路の出力がインダクタンス成分を含む負荷に供給される場合に特に顕著であった。

[0017] なお、特許文献1では、モータをPWM制御して駆動させる駆動制御装置において、共振回路と逆流防止ダイオードを設けることで、スイッチングノイズ及びスイッチング損失の低減を図っている。しかしながら、このような構成では、共振回路のコイルが装置の小型化を妨げる等の問題が新たに発生することになる。

[0018] 本発明は、上記の問題点に鑑み、スイッチングノイズ及びスイッチング損失が小さいPWM駆動回路を提供することを目的とする。

課題を解決するための手段

[0019] 上記目的を達成するために本発明に係るPWM駆動回路は、負荷駆動用電界効果トランジスタと、PWM電圧に基づく電圧のスルーレートを下げ、そのスルーレートを下げた電圧を前記負荷駆動用電界効果トランジスタのゲートに供給するスルーレート制御部と、前記負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、前記負荷駆動用電界効果トランジスタの出力電圧が略反転して前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になったことを検知すると、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるゲート電圧制御部と、を備える。

[0020] このような構成によると、負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、負荷駆動用電界効果トランジスタの出力電圧が略反転して負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になると、負荷駆動用電界効果トランジスタが速やかに変動するので、負荷駆動用電界効果トランジスタがオフからオンに切り替わってからゲート電圧が完全に反転するまでの期間を短くすることができる。これにより、負荷駆動用電界効果トランジスタのオン抵抗が大きい期間が短くなり、スイッチング損失を低減することができる。また、PWM電圧の反転により負荷駆動用電界効果トランジスタがオンからオフに切り替わる際に、負荷駆動用電界効果トランジスタの出力電圧が略反転するまでは負荷駆動用電界効果トランジスタのゲート電圧がスルーレート制御部の特性にしたがって従来と

同様にゆるやかに変化するので、スイッチングノイズを低減することができる。

[0021] また、前記ゲート電圧制御部が、前記PWM電圧と前記負荷駆動用電界効果トランジスタの出力電圧を検知し、前記PWM電圧の値が前記負荷駆動用電界効果トランジスタをオンにするためのレベルであり且つ前記負荷駆動用電界効果トランジスタの出力電圧の値が前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一である場合にのみ、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるようにしてもよい。

[0022] このような構成によると、ゲート電圧制御部が不要にスルーレート制御部の動作を停止させ負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げることを防止できるので、負荷駆動用電界効果トランジスタのオン／オフ切替がPWM電圧に応じて正確に行われる。

[0023] また、本発明に係るPWM駆動回路は、モータ駆動回路やDC－DCコンバータ等に適用することができる。

発明の効果

[0024] 本発明によると、スイッチングノイズ及びスイッチング損失が小さいPWM駆動回路を実現することができる。

図面の簡単な説明

[0025] [図1]は、本発明に係るPWM駆動回路の一構成例を示す図である。

[図2]は、図1のPWM駆動回路の一回路構成例を示す図である。

[図3A]は、図2に示すPWM駆動回路の各部電圧のタイムチャートである。

[図3B]は、図2に示すPWM駆動回路の各部電圧のタイムチャートである。

[図4]は、本発明に係るモータ駆動回路の一構成例を示すブロック図である。

[図5]は、従来のPWM駆動回路の一構成例を示す図である。

[図6]は、従来のPWM駆動回路の他の構成例を示す図である。

[図7A]は、図5や図6に示すPWM駆動回路の各部電圧のタイムチャートである。

[図7B]は、図5や図6に示すPWM駆動回路の各部電圧のタイムチャートである。

符号の説明

- [0026] 1、2 インバータ回路
 3 出力端子
 4、5 ゲート電圧制御部
 6 ANDゲート
 7 ORゲート
 8 モータ駆動回路
 9 U相用PWM駆動回路
 10 V相用PWM駆動回路
 11 W相用PWM駆動回路
 12 PWM電圧発生回路
 13 三相ブラシレスモータ
 Q1、Q3、Q5、Q8 PMOSTランジスタ
 Q2、Q4、Q6、Q7 NMOSTランジスタ
 R1～R6 抵抗

発明を実施するための最良の形態

- [0027] 本発明の一実施形態について図面を参照して以下に説明する。本発明に係るPWM駆動回路の一構成例を図1に示す。なお、図1において図6と同一の部分には同一の符号を付し、詳細な説明を省略する。
- [0028] 図1に示す本発明に係るPWM駆動回路は、図6のPWM駆動回路にゲート電圧制御部4及び5を新たに設けた構成である。ゲート電圧制御部4は、出力電圧 V_{OUT} 及びPWM電圧 V_{PWM} を検知し、出力電圧 V_{OUT} が所定値($\equiv V_{CC}$)まで増加しておおむね反転し且つPWM電圧 V_{PWM} がHighレベルであれば、PMOSTランジスタQ5のゲート電位を引き下げることによりPMOSTランジスタQ5のゲート電圧を速やかに減少させて、PMOSTランジスタQ5のゲート電圧が完全に反転する迄の時間を短くする。
- [0029] また、ゲート電圧制御部5は、出力電圧 V_{OUT} 及びPWM電圧 V_{PWM} を検知し、出力電圧 V_{OUT} が所定値(\equiv 零)まで減少しておおむね反転し且つPWM電圧 V_{PWM} がLowレベルであれば、NMOSTランジスタQ6のゲート電位を引き上げることによりNMOSTランジスタQ6のゲート電圧を速やかに増加させて、NMOSTランジスタQ6のゲ

ート電圧が完全に反転する迄の時間を短くする。

[0030] 図1に示す本発明に係るPWM駆動回路は、上記動作を行うゲート電圧制御部4及び5を備えるので、負荷駆動用パワーMOSトランジスタであるPMOSTランジスタQ5やNMOSTランジスタQ6がオフからオンに切り替わってからゲート電圧が完全に反転するまでの期間を短くすることができる。これにより、負荷駆動用パワーMOSトランジスタのオン抵抗が大きい期間が短くなり、スイッチング損失を低減することができる。また、PWM電圧 $V_{P\text{WM}}$ の反転により負荷駆動用パワーMOSトランジスタがオンからオフに切り替わる際に、出力電圧 V_{OUT} がおおむね反転するまでは負荷駆動用パワーMOSトランジスタのゲート電圧がCR回路の時定数にしたがって従来と同様にゆるやかに変化するので、スイッチングノイズを低減することができる。

[0031] なお、ゲート電圧制御回路4が出力電圧 V_{OUT} のみを検知し、出力電圧 V_{OUT} が所定値($\equiv V_{\text{CC}}$)まで増加しておおむね反転すれば、PMOSTランジスタQ5のゲート電位を引き下げ、ゲート電圧制御回路5が出力電圧 V_{OUT} のみを検知し、出力電圧 V_{OUT} が所定値(\equiv 零)まで減少しておおむね反転すれば、NMOSTランジスタQ6のゲート電位を引き上げるようにすることも可能であるが、不要に負荷駆動用パワーMOSトランジスタのゲート電位が引き上がるまたは引き下がることを防止するために図1の構成にすることが望ましい。また、図1のPWM駆動回路から抵抗R3及びR4を取り除き、その代わりに一端がPMOSTランジスタQ1とNMOSTランジスタQ2の接続ノードに接続され他端がPMOSTランジスタQ5のゲートとゲート電圧制御部4の接続ノードに接続される抵抗を設け、さらに抵抗R5及びR6を取り除き、その代わりに一端がPMOSTランジスタQ3とNMOSTランジスタQ4の接続ノードに接続され他端がNMOSTランジスタQ6のゲートとゲート電圧制御部5の接続ノードに接続される抵抗を設ける構成としても、図1のPWM駆動回路と同様に、スイッチングノイズ及びスイッチング損失を低減することができる。

[0032] 続いて、図1のPWM駆動回路の一回路構成例を図2に示す。なお、図2において図1と同一の部分には同一の符号を付し、詳細な説明を省略する。

[0033] 図2のPWM駆動回路は、ANDゲート6及びNMOSTランジスタQ7によってゲート制御部4を構成し、ORゲート7及びPMOSTランジスタQ8によってゲート制御部5を

構成している。

[0034] NMOSTランジスタQ7のドレインがPMOSTランジスタQ5のゲートに接続され、NMOSTランジスタQ7のソースが接地される。そして、ANDゲート6が、出力電圧 V_{OUT} とPWM電圧 V_{PWM} の論理積をNMOSTランジスタQ7のゲートに供給する。

[0035] また、PMOSTランジスタQ8のドレインがNMOSTランジスタQ6のゲートに接続され、PMOSTランジスタQ8のソースに定電圧 V_{CC} が印加される。そして、ORゲート7が、出力電圧 V_{OUT} とPWM電圧 V_{PWM} の論理和をPMOSTランジスタQ8のゲートに供給する。

[0036] ここで、図2のPWM駆動回路においてPWM電圧 V_{PWM} がHighレベルからLowレベルに切り替わるときのPWM電圧 V_{PWM} 、PMOSTランジスタQ5のゲート電圧 V_{GP} 、NMOSTランジスタQ6のゲート電圧 V_{GN} 及び出力電圧 V_{OUT} のタイムチャートを図3Aに示す。なお、PMOSTランジスタQ5のゲート電圧 V_{GP} 、NMOSTランジスタQ6のゲート電圧 V_{GN} 、及び出力電圧 V_{OUT} については、出力端子3から負荷へ電流が流出する場合(電流ソース時)と出力端子3へ電流が流入する場合(電流シンク時)のそれぞれの波形を示している。

[0037] PWM電圧 V_{PWM} がHighレベルからLowレベルに反転した時点(t_1)からNMOSTランジスタQ6のゲート電圧 V_{GN} はCR回路の時定数にしたがってゆるやかに上昇する。そして、NMOSTランジスタQ6のゲート電圧 V_{GN} が閾値 V_{THN} に達した時点(t_2 または t_2')で、NMOSTランジスタQ6はオフからオンに切り替わる。

[0038] NMOSTランジスタQ6がオフからオンに切り替わった後も、出力電圧 V_{OUT} が所定値 V_1 (=Lowレベル)になり且つPWM電圧 V_{PWM} がLowレベルになる時点(t_4 または t_4')まで、NMOSTランジスタQ6のゲート電圧 V_{GN} はCR回路の時定数にしたがってゆるやかに上昇し続ける。 t_4 または t_4' 時点においてORゲート7の出力がHighレベルからLowレベルに切り替わり、PMOSTランジスタQ8がオフからオンに切り替わる。したがって、 t_4 または t_4' 時点以後、NMOSTランジスタQ6のゲート電圧 V_{GN} は所定値($\equiv V_{CC}$)に達する時点(t_5 または t_5')まで速やかに増大する。このため、図2に示す本発明に係るPWM駆動回路においてNMOSTランジスタQ6が十分に低いオン抵抗を得られない期間($t_2 \sim t_5$ または $t_2' \sim t_5'$)は、図5や図6に示す従

来のPWM駆動回路においてNMOSTランジスタQ6が十分に低いオン抵抗を得られない期間(図7の $t_2 \sim t_3$)よりも短くなる。

[0039] また、ANDゲート6及びNMOSTランジスタQ7から成るゲート制御部4を設けているので、PMOSTランジスタQ5が十分に低いオン抵抗を得られない期間も従来より短くなる(図3B参照)。

[0040] これにより、スルーレートを従来と同程度またはより小さくしてスイッチングノイズの低減を図るとともに、スイッチング損失の低減を図ることができる。

[0041] 尚、上記所定値 V_1 の設定は、ANDゲート6内部のMOSTランジスタのゲート幅／ゲート長を調整することによって行うことができる。また、ORゲート7についてもORゲート7内部のMOSTランジスタのゲート幅／ゲート長を調整することによって同様の設定(図3B中の所定値 V_2 の設定)を行うことができる。

[0042] 上述した本発明に係るPWM駆動回路は、例えばDC-DCコンバータやモータ駆動回路等に適用することができる。

[0043] 本発明に係るPWM駆動回路の出力端子に平滑回路(例えば、前記出力端子に一端が接続されるインダクタと、前記インダクタの他端に一端が接続され他端がグラウンド電位であるコンデンサとから成る回路)を接続することによって、スイッチングノイズ及びスイッチング損失が小さいDC-DCコンバータを実現することができる。

[0044] 続いて、本発明に係るPWM駆動回路をモータ駆動回路に適用した場合について説明する。本発明に係るPWM駆動回路を備えたモータ駆動回路の一構成例を図4に示す。モータ駆動回路8は、U相用PWM駆動回路9と、V相用PWM駆動回路10と、W相用PWM駆動回路11と、PWM電圧発生回路12とを備えている。ここで、U相用PWM駆動回路9、V相用PWM駆動回路10及びW相用PWM駆動回路11は、図2のPWM駆動回路と同一構成である。

[0045] U相用PWM駆動回路9の出力端子が三相ブラシレスモータ13のU相ステータコイルに接続され、V相用PWM駆動回路10の出力端子が三相ブラシレスモータ13のV相ステータコイルに接続され、W相用PWM駆動回路11の出力端子が三相ブラシレスモータ13のW相ステータコイルに接続される。PWM駆動回路12は三相ブラシレスモータ13の各相モータ電圧を入力し、その各相モータ電圧に基づいて各相PWM

電圧を生成し、U相用PWM電圧をU相用PWM駆動回路9に出力し、V相用PWM電圧をV相用PWM駆動回路10に出力し、W相用PWM電圧をW相用PWM駆動回路11に出力する。

- [0046] このような構成により、スイッチングノイズ及びスイッチング損失が小さいモータ駆動回路を実現することができる。なお、図4のモータ駆動回路が備えるPWM駆動回路12は各相モータ電圧に基づいて各相PWM電圧を生成したが、ロータ位置検出センサを有する三相ブラシレスモータに接続される場合は、PWM駆動回路12に代えて、ロータ位置検出センサの出力信号を入力し、そのロータ位置検出センサの出力信号に基づいて各相PWM電圧を生成するPWM駆動回路を設けるようにするとよい。

産業上の利用可能性

- [0047] 本発明のPWM駆動回路は、モータ駆動回路やDC－DCコンバータ等に適用することができる。また、前記モータ駆動回路はモータを有する電気機器全般に適用することができ、前記DC－DCコンバータは電気機器内部の直流電源として用いることができる。

請求の範囲

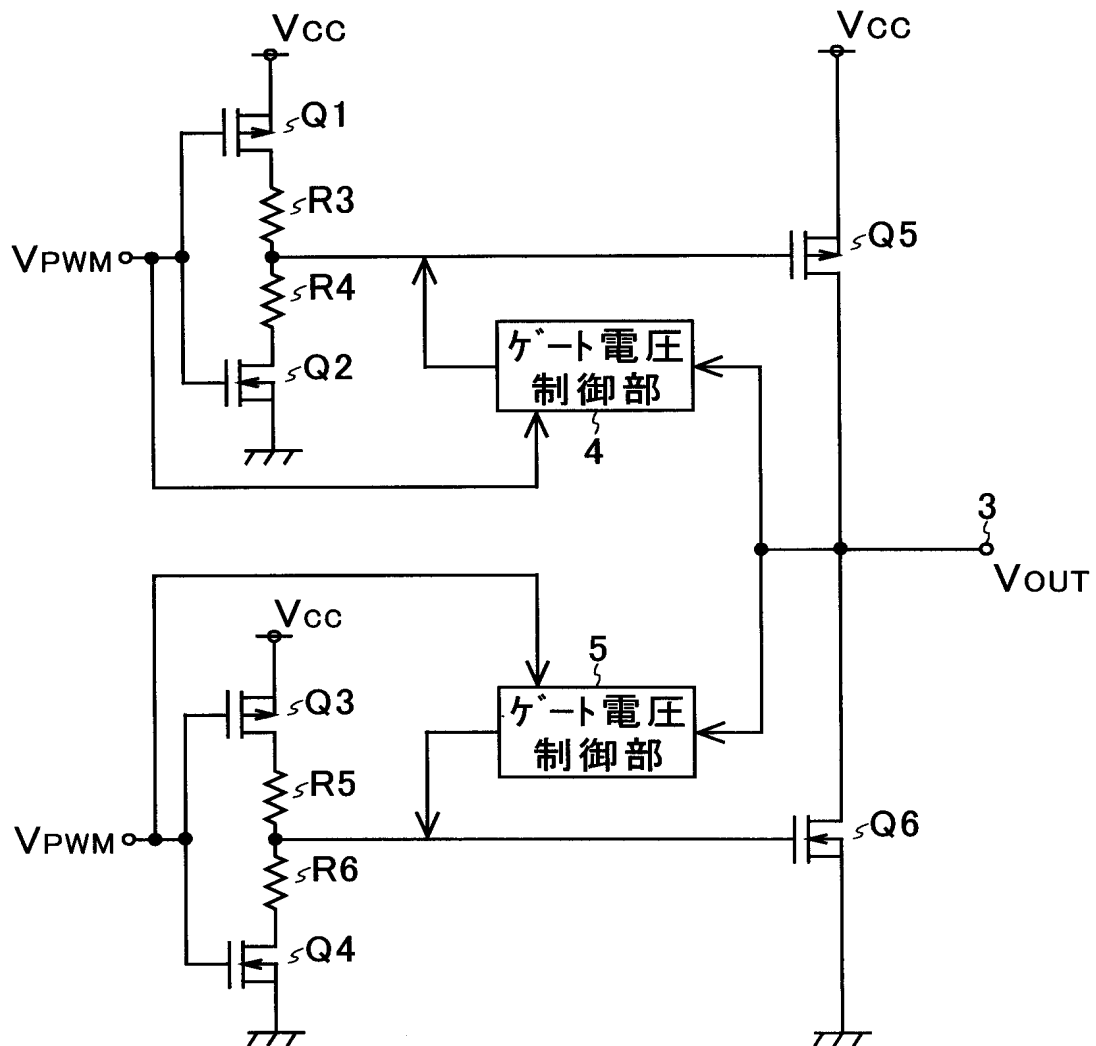
- [1] 負荷駆動用電界効果トランジスタと、
PWM電圧に基づく電圧のスルーレートを下げ、そのスルーレートを下げた電圧を前記負荷駆動用電界効果トランジスタのゲートに供給するスルーレート制御部と、
前記負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、前記負荷駆動用電界効果トランジスタの出力電圧が略反転して前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になったことを検知すると、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるゲート電圧制御部とを備えるPWM駆動回路。
- [2] 前記ゲート電圧制御部が、前記PWM電圧と前記負荷駆動用電界効果トランジスタの出力電圧を検知し、前記PWM電圧の値が前記負荷駆動用電界効果トランジスタをオンにするためのレベルであり且つ前記負荷駆動用電界効果トランジスタの出力電圧の値が前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一である場合にのみ、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げまたは引き下げる請求項1に記載のPWM駆動回路。
- [3] PWM電圧を生成するPWM電圧発生回路と、前記PWM電圧発生回路から出力されるPWM電圧に基づいてモータを駆動するPWM駆動回路とを備えたモータ駆動回路であって、
前記PWM駆動回路が、
負荷駆動用電界効果トランジスタと、
PWM電圧に基づく電圧のスルーレートを下げ、そのスルーレートを下げた電圧を前記負荷駆動用電界効果トランジスタのゲートに供給するスルーレート制御部と、
前記負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、前記負荷駆動用電界効果トランジスタの出力電圧が略反転して前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になったことを検知すると、前記スルーレート制御部の動作を停止させ前記負荷駆動用電

界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるゲート電圧制御部とを備えるモータ駆動回路。

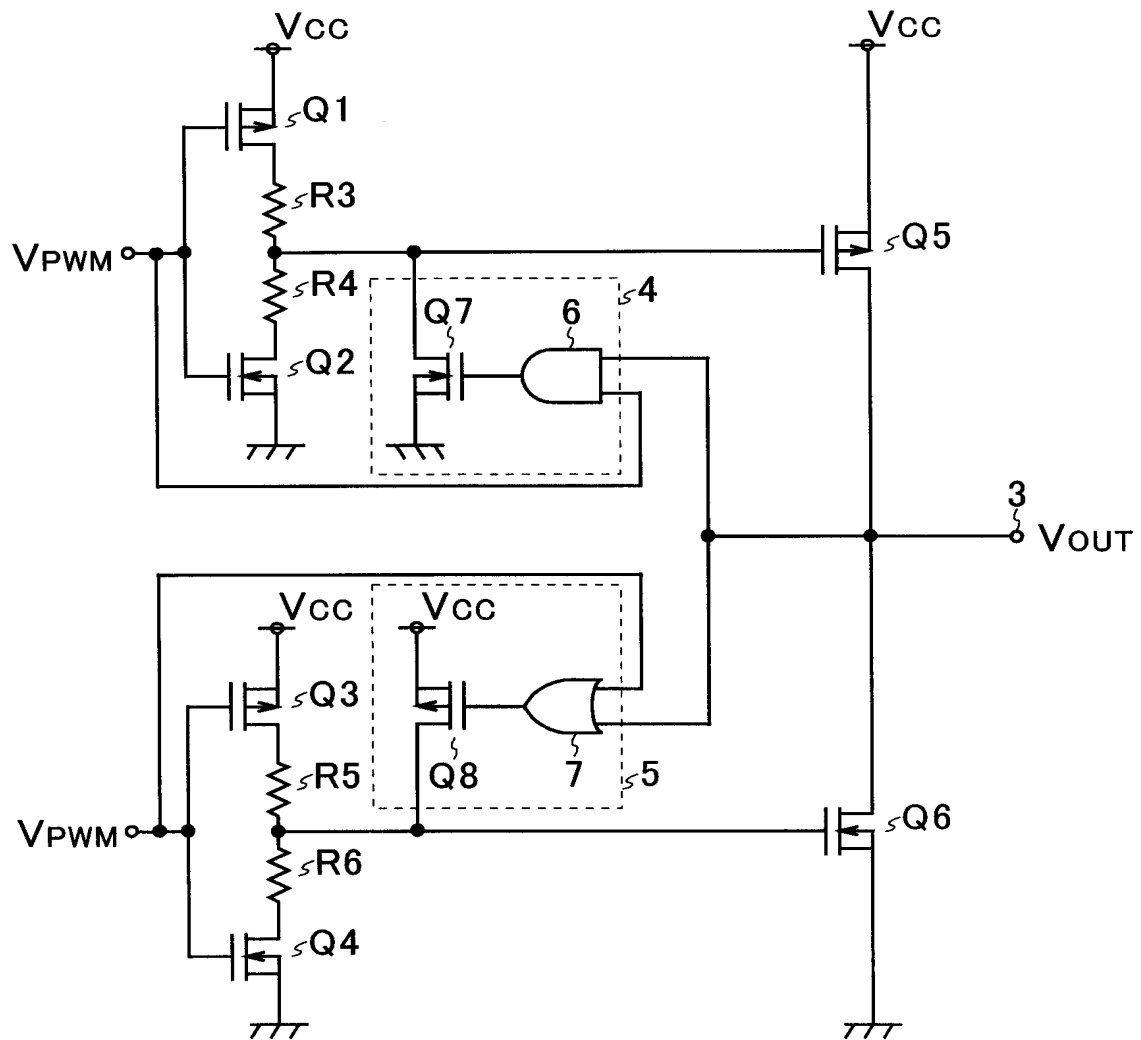
- [4] 前記ゲート電圧制御部が、前記PWM電圧と前記負荷駆動用電界効果トランジスタの出力電圧を検知し、前記PWM電圧の値が前記負荷駆動用電界効果トランジスタをオンにするためのレベルであり且つ前記負荷駆動用電界効果トランジスタの出力電圧の値が前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一である場合にのみ、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げまたは引き下げる請求項3に記載のモータ駆動回路。
- [5] 前記PWM電圧発生回路が前記モータのロータ位置に応じたPWM電圧を生成する請求項3に記載のモータ駆動回路。
- [6] 前記PWM電圧発生回路が前記モータのロータ位置に応じたPWM電圧を生成する請求項4に記載のモータ駆動回路。
- [7] PWM駆動回路を備えたDC-DCコンバータであって、
前記PWM駆動回路が、
負荷駆動用電界効果トランジスタと、
PWM電圧に基づく電圧のスルーレートを下げ、そのスルーレートを下げた電圧を前記負荷駆動用電界効果トランジスタのゲートに供給するスルーレート制御部と、
前記負荷駆動用電界効果トランジスタのゲート電圧が変動するゲート電圧過渡期間において、前記負荷駆動用電界効果トランジスタの出力電圧が略反転して前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる値と略同一になったことを検知すると、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げるまたは引き下げるゲート電圧制御部とを備えるDC-DCコンバータ。
- [8] 前記ゲート電圧制御部が、前記PWM電圧と前記負荷駆動用電界効果トランジスタの出力電圧を検知し、前記PWM電圧の値が前記負荷駆動用電界効果トランジスタをオンにするためのレベルであり且つ前記負荷駆動用電界効果トランジスタの出力電圧の値が前記負荷駆動用電界効果トランジスタが完全にオンであるときに得られる

値と略同一である場合にのみ、前記スルーレート制御部の動作を停止させ前記負荷駆動用電界効果トランジスタのゲート電位を所定値に引き上げまたは引き下げる請求項7に記載のDC-DCコンバータ。

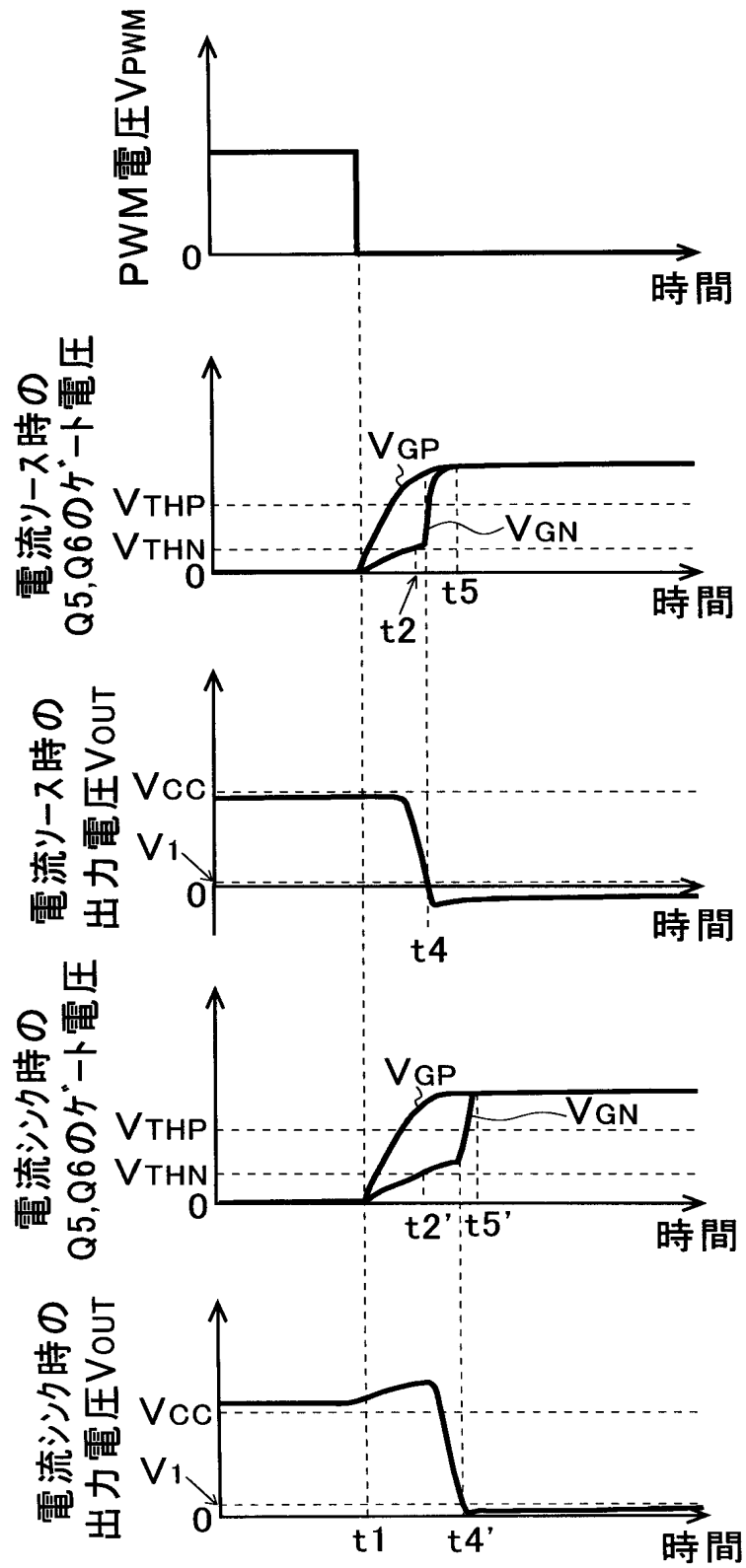
[図1]



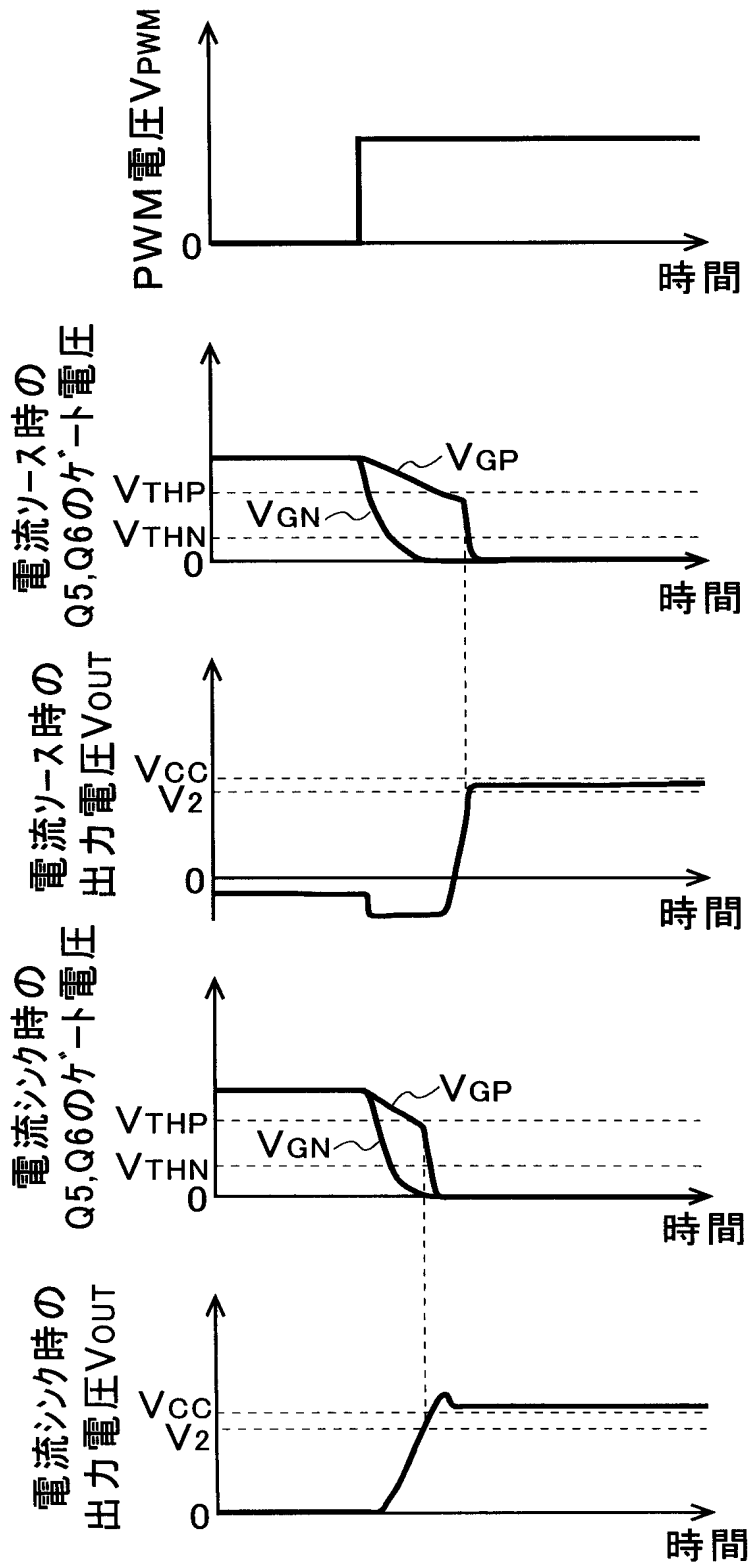
[図2]



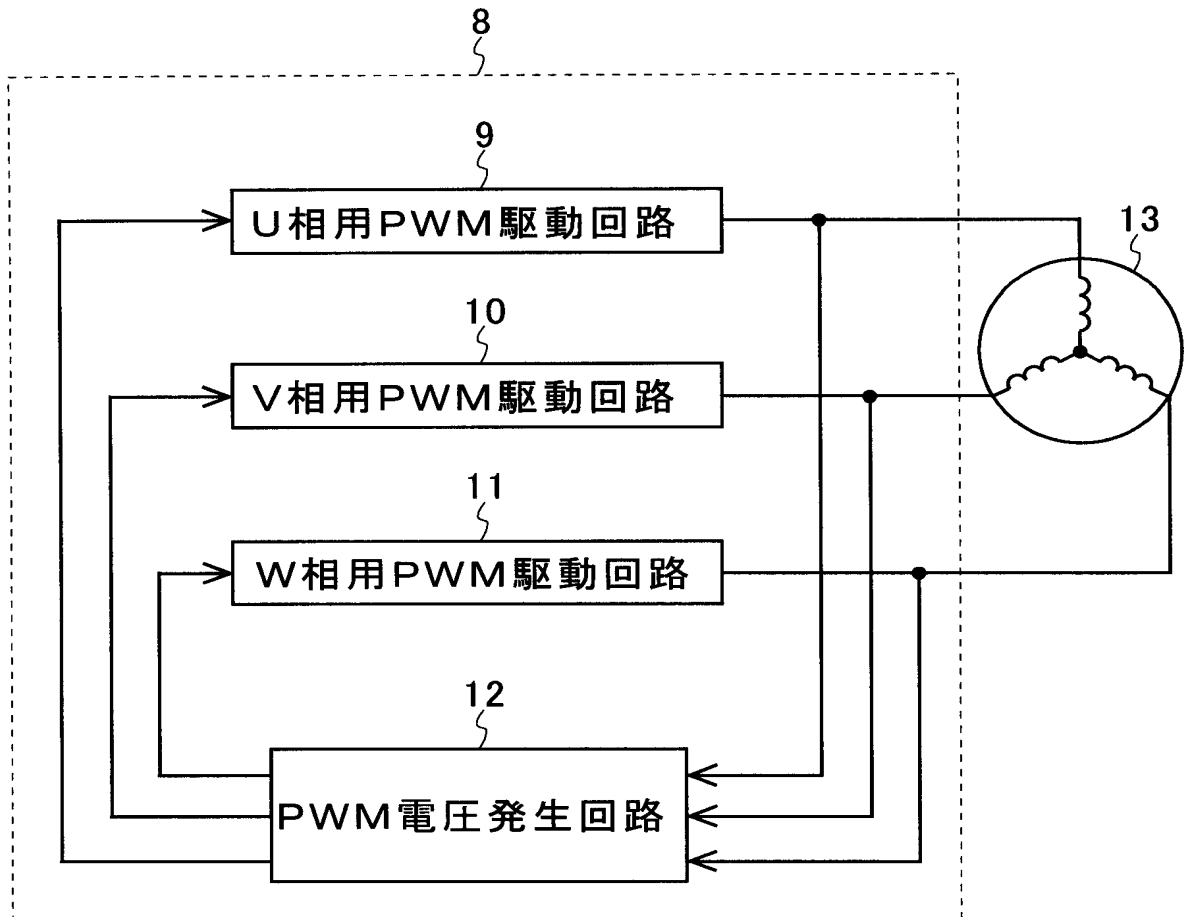
[図3A]



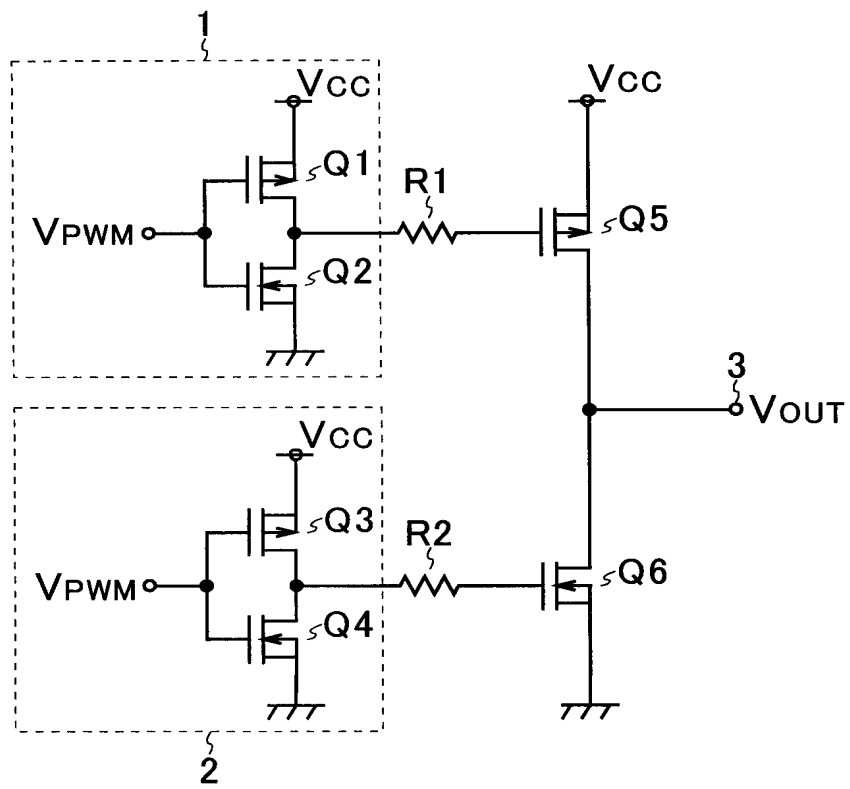
[図3B]



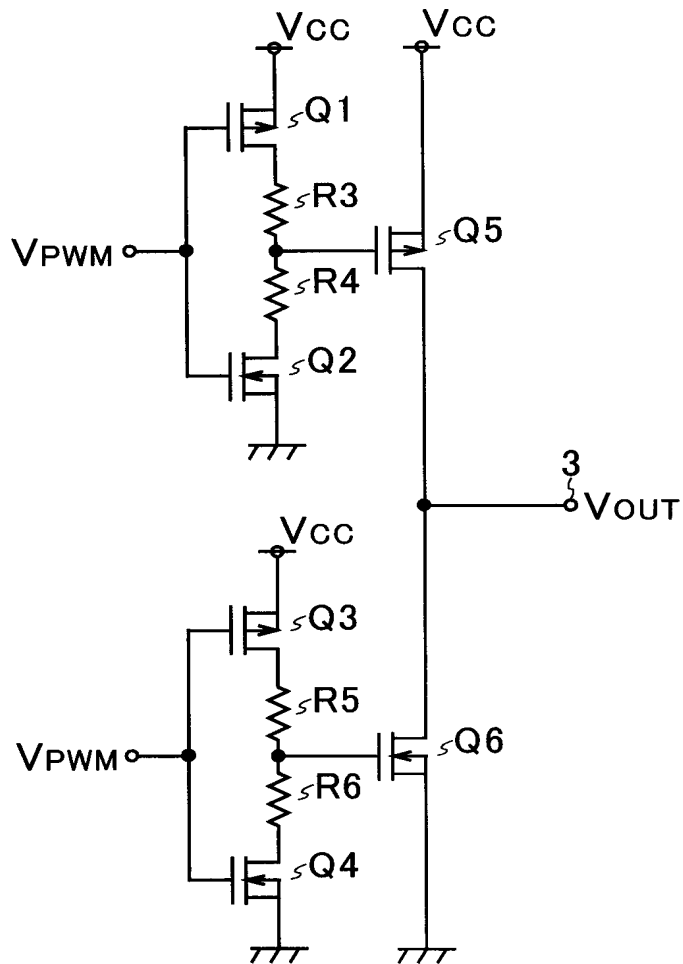
[図4]



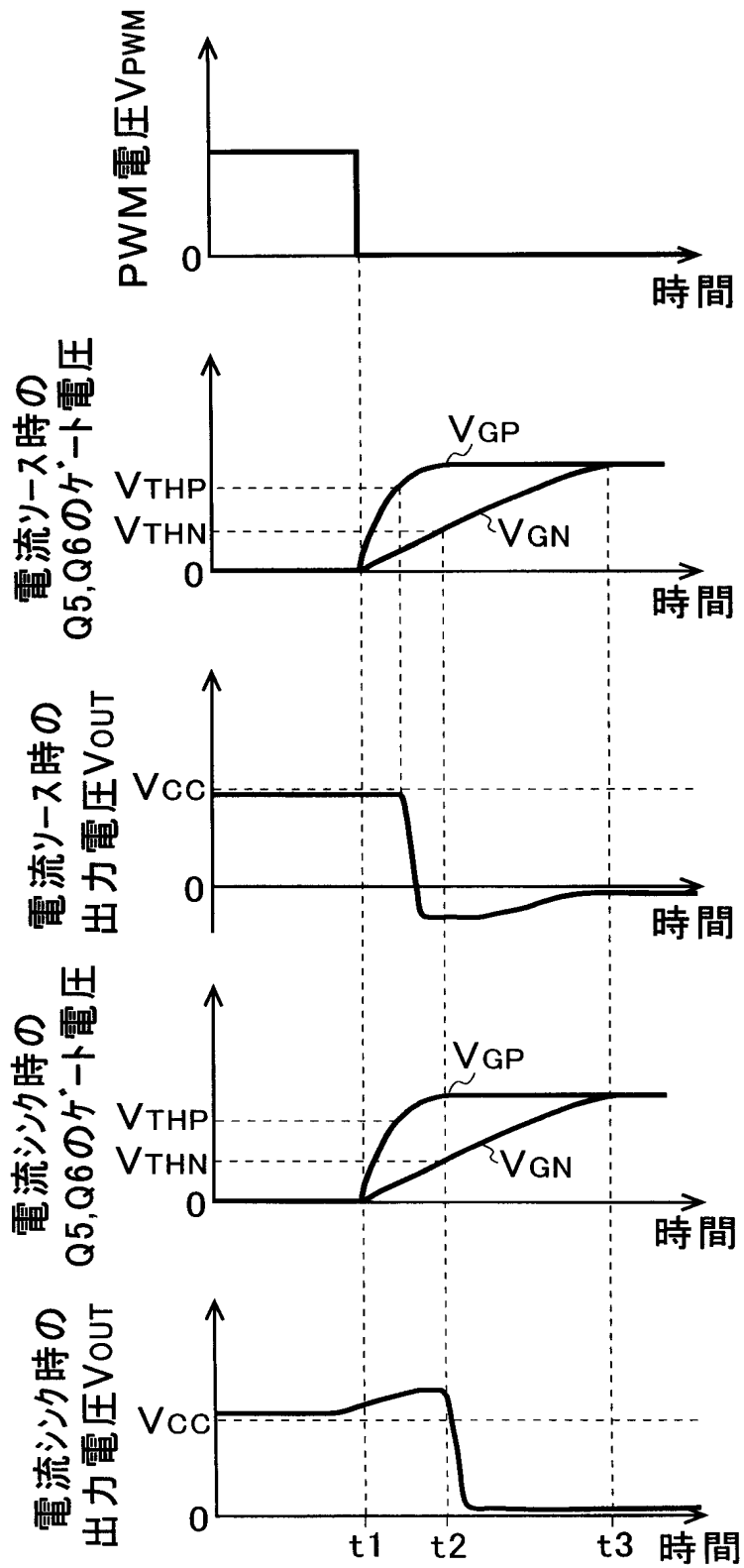
[図5]



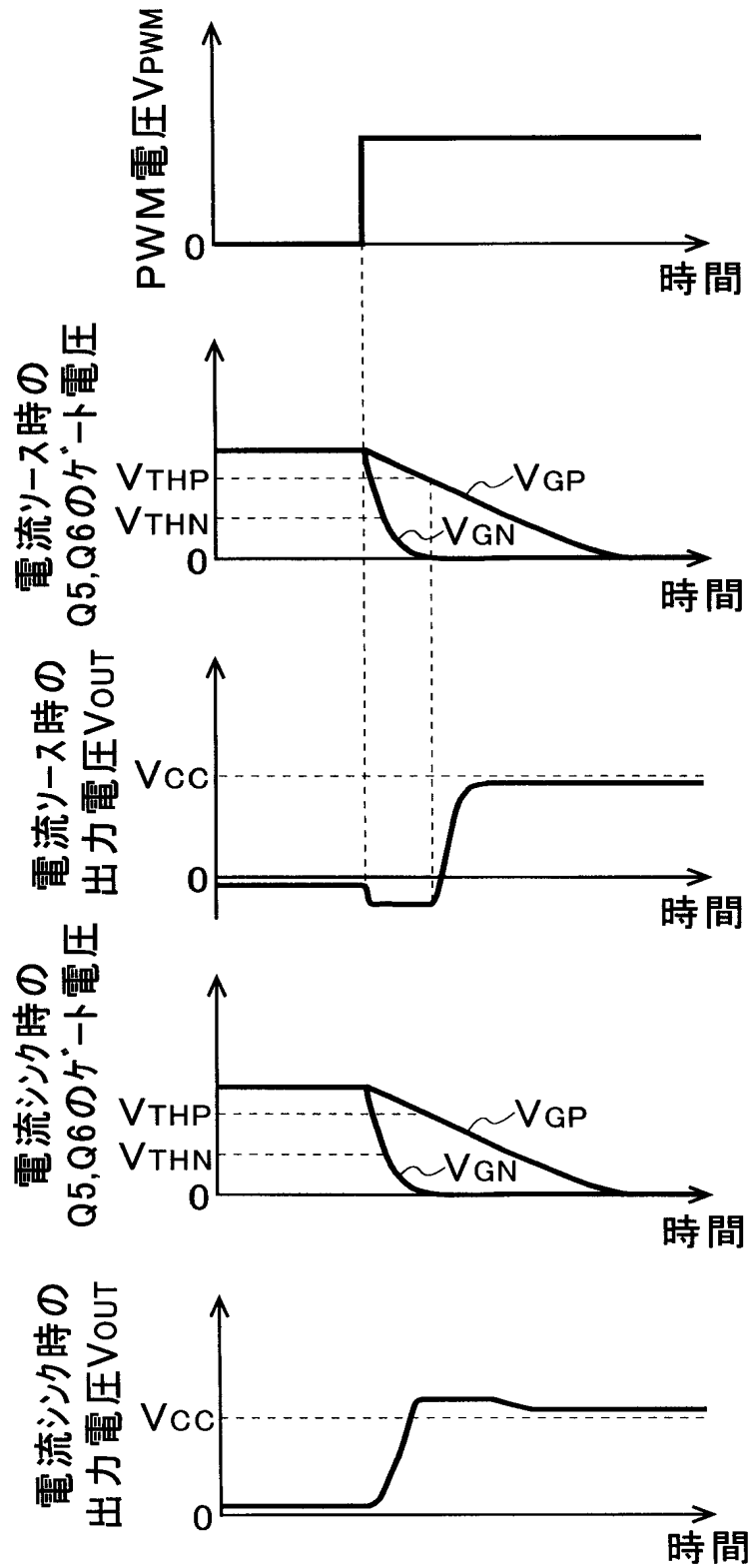
[図6]



[図7A]



[図7B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005825

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H02M1/08, H03K17/06, 17/16, 17/687

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H02M1/00-1/30, H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 9-74344 A (Fuji Electric Co., Ltd.), 18 March, 1997 (18.03.97), Par. Nos. [0009], [0015] to [0040]; Fig. 1 (Family: none)	1-8
Y	JP 11-41969 A (Kabushiki Kaisha Izumi Giken), 12 February, 1999 (12.02.99), Par. Nos. [0008] to [0022] Fig. 1 (Family: none)	1-6
Y	JP 2003-235251 A (Rohm Co., Ltd.), 22 August, 2003 (22.08.03), Par. Nos. [0012] to [0032]; Fig. 1 (Family: none)	1, 2, 7, 8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

17 June, 2005 (17.06.05)

Date of mailing of the international search report

05 July, 2005 (05.07.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005825

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-61366 A (Sanyo Electric Co., Ltd.), 28 February, 2003 (28.02.03), Full text (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷

H02M1/08, H03K17/06, 17/16, 17/687

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷

H02M1/00-1/30, H03K17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-74344 A (富士電機株式会社) 18.03.1997, 【0009】、【0015】-【0040】、図1 (ファミリーなし)	1-8
Y	JP 11-41969 A (株式会社イズミ技研) 12.02.1999, 【0008】-【0022】、図1 (ファミリーなし)	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

17.06.2005

国際調査報告の発送日

05.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-235251 A (ローム株式会社) 22. 08. 2003, 【0012】 - 【0032】, 図1 (ファミリーなし)	1, 2, 7, 8
A	JP 2003-61366 A (三洋電機株式会社) 28. 02. 2003, 全文 (ファミリーなし)	1-8